

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.

Reference 3.

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-024521

(43)Date of publication of application : 26.01.2001

(51)Int.Cl. H03H 13/29  
 H03H 13/13  
 H03H 13/45  
 H04L 1/00  
 H04N 7/24

(21)Application number : 11-192467

(71)Applicant : NEC CORP

(22)Date of filing : 07.07.1999

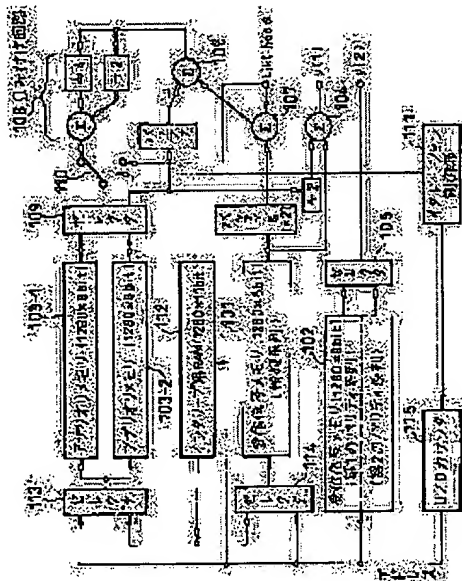
(72)Inventor : MARU TSUGIO

## (54) TURBO DECODER

## (57)Abstract:

PROBLEM TO BE SOLVED: To realize a turbo decoder based on a decoding method having performance higher than that of a conventional soft judgment viterbi decoder as a style suitable for a mobile information terminal such as a portable telephone.

SOLUTION: The turbo decoder is provided with a 1st received signal memory 101 storing information series, a 2nd received signal memory 102 storing 1st and 2nd parity series, a-priori memories 103-1, 103-2 for storing external information/previous information for repeating processing, an adder 104 for adding the information series to the previous information, and a selector 105 for selecting the 1st and 2nd parity series. Four results, i.e., an added result including reversed polarity, a selected result including reversed polarity, an added result between the added result and the selected result, and zero, are individually selected by four kinds of 2nd selectors on the basis of the polarity of the operation result of the adder 104 and the polarity of a selection output from the selector 105 and alpha and beta metric are operated on the basis of respective outputs from these 2nd selectors.



## LEGAL STATUS

[Date of request for examination] 15.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3246484

[Date of registration] 02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



## 【特許請求の範囲】

【請求項 1】 情報系列を蓄積した第一の受信信号メモリと、第一のパリティ系列と第二のパリティ系列とを蓄積した第二の受信信号メモリと、繰返し処理における外部情報兼事前情報を蓄積するアプリオリメモリと、前記情報系列と前記事前情報を加算する第一の加算器と、前記第一のパリティ系列と前記第二のパリティ系列とを選択する選択手段と、前記第一の加算器の演算結果の極性と前記選択手段の選択出力の極性とにより、逆極性を含む前記加算結果と、逆極性を含む前記選択結果と、その加算結果と、零と合計の四つの中から一つを夫々選択する四種の第二の選択手段とを含み、これ等第二の選択手段の各出力を元にアルファメトリックとベータメトリックとを演算することを特徴とするターボデコーダ。

【請求項 2】 ガンマメトリックを元に演算したアルファメトリックを蓄積するアルファメトリック用メモリを含み、前記ガンマメトリックを元にベータメトリック更新の演算を逐次行っていく際に、該ベータメトリックの演算時に得られたベータメトリックとガンマメトリックとの加算結果を尤度演算にも用いることを特徴とする請求項 1 記載のターボデコーダ。

【請求項 3】 前記アルファメトリック用メモリに入力するためのアルファメトリック演算に当って、その更新過程で用いられる ACS 回路を複数段の縦続構成とし、アルファメトリックの更新サイクルは、該縦続構成の段数に合わせて行い、該縦続構成で得た最終段の結果を前記アルファメトリック用メモリに入力することを特徴とする請求項 2 記載のターボデコーダ。

【請求項 4】 前記尤度演算に際し、前記アルファメトリック用メモリと前記複数段の縦続構成からなる ACS 回路とを用い、前記ベータメトリックの更新演算の際に得られたベータメトリックとガンマメトリックの加算結果と該 ACS 回路の各段の出力結果とを元に、尤度演算を行うところを特徴とする請求項 3 記載のターボデコーダ。

【請求項 5】 ガンマメトリックを元に演算したベータメトリックを蓄積するベータメトリック用メモリを含み、前記ガンマメトリックを元にアルファメトリック更新の演算を逐次行っていく際に、該アルファメトリックの演算時に得られたアルファメトリックとガンマメトリックとの加算結果を尤度演算にも用いることを特徴とする請求項 1 記載のターボデコーダ。

【請求項 6】 前記ベータメトリック用メモリに入力するためのベータメトリック演算に当って、その更新過程で用いられる ACS 回路を複数段の縦続構成とし、ベータメトリックの更新サイクルは、該縦続構成の段数に合わせて行い、該縦続構成で得た最終段の結果をベータメトリック用メモリに入力することを特徴とする請求項 5 記載のターボデコーダ。

【請求項 7】 前記尤度演算に際し、前記ベータメトリ

ック用メモリと前記複数段の縦続構成からなる ACS 回路とを用い、前記アルファメトリックの更新演算の際に得られたアルファメトリックとガンマメトリックの加算結果と該 ACS 回路の各段の出力結果とを元に、尤度演算を行うところを特徴とする請求項 6 記載のターボデコーダ。

【請求項 8】 前記尤度演算結果から前記情報系列を蓄積した第一の受信信号出力およびアプリオリメモリ出力を減算し、シフト加算型の重み付け回路通した結果を外部情報として前記アプリオリメモリに蓄積することを特徴とする請求項 1～7 いずれか記載のターボデコーダ。

【請求項 9】 前記繰返し処理におけるインタリーブを要する回の処理において、インタリーブ順序をメモリアドレスとして発生させるアドレス発生手段と、前記情報系列を蓄積した第一の受信信号メモリと前記アプリオリメモリとを前記メモリアドレス発生手段からの発生アドレスよりアクセスすることを特徴とする請求項 1～8 いずれか記載のターボデコーダ。

【請求項 10】 前記アルファメトリックの演算に際し、得られた各ステートに対する演算結果から最大値を検出する手段と、この検出結果をガンマメトリックから減算する手段とを更に含み、それまでの演算にパイプライン処理を施し、予め決められたタイミングに該減算結果を新たにガンマメトリックとして用いたことを特徴とする請求項 1～9 いずれか記載のターボデコーダ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はターボデコーダに関し、特に携帯電話用 LSI に適した低消費電力型高速ターボデコーダに関するものである。

## 【0002】

【従来の技術】 従来、陸上移動通信等に使用される軟判定誤り訂正は、軟判定ビットデコーダに代表される様に、その高い符号化利得によって必須の機能となってきた。近年、ターボコードと呼ばれるシャノン限界に近い復号誤り率を達成する新しい符号化法が Berrou らによって提案されている。その詳しい記載が、「1993 年 5 月、プロシーディング・オブ・インタナショナル・コンファレンス・オブ・コミュニケーション、1064～1070 頁、Proceeding of International Conference of Communication、pp1064-1070」に開示されている。

## 【0003】

【発明が解決しようとする課題】 次世代の陸上移動通信では、音声のみならず高速インターネットや動画像など広域マルチメディア通信の増加が予想され、これらをモバイルマルチメディアサービスとして提供出来る新しい方式の開発が期待されている。これらの状況を受けて、ターボコードの次世代陸上移動通信への適用が活発に検討

## 3

されている。広域マルチメディア通信を考慮して携帯電話等へのターボコードの適用を考えた場合、高速にしかも低消費電力で実現する必要がある。

【0004】本発明はこのような状況下で考え出されたものであり、従来の軟判定ビタビデコードより高性能な復号法であるターボデコードを、携帯電話を始めとするモバイル情報端末に適した形で提供することを目的としている。更に本発明は、上記を実現するために、ターボデコードを高速且つ消費電力の構成で提供するものである。

## 【0005】

【課題を解決するための手段】本発明によるターボデコードは、情報系列を蓄積した第一の受信信号メモリと、第一のパリティ系列と第二のパリティ系列とを蓄積した第二の受信信号メモリと、繰り返し処理における外部情報兼事前情報を蓄積するアプリオリメモリと、前記情報系列と前記事前情報を加算する第一の加算器と、前記第一のパリティ系列と前記第二のパリティ系列とを選択する選択手段と、前記第一の加算器の演算結果の極性と前記選択手段の選択出力の極性とにより、逆極性を含む前記加算結果と、逆極性を含む前記選択結果と、その加算結果と、零と合計の四つの中から一つを夫々選択する四種の第二の選択手段とを含み、これ等第二の選択手段の各出力を元にアルファメトリックとベータメトリックとを演算することを特徴とする。

【0006】また、本発明によるターボデコードは、ガンマメトリックを元に演算したアルファメトリックを蓄積するアルファメトリック用メモリを含み、前記ガンマメトリックを元にベータメトリック更新の演算を逐次行っていく際に、該ベータメトリックの演算時に得られたベータメトリックとガンマメトリックとの加算結果を尤度演算にも用いることを特徴とする。

【0007】更に本発明によるターボデコードは、前記アルファメトリック用メモリに入力するためのアルファメトリック演算に当って、その更新過程で用いられるACS回路を複数段の縦続構成とし、アルファメトリックの更新サイクルは、該縦続構成の段数に合わせて行い、該縦続構成で得た最終段の結果を前記アルファメトリック用メモリに入力することを特徴とする。

【0008】更にはまた本発明によるターボデコードは、前記尤度演算に際し、前記アルファメトリック用メモリと前記複数段の縦続構成からなるACS回路とを用い、前記ベータメトリックの更新演算の際に得られたベータメトリックとガンマメトリックの加算結果と該ACS回路の各段の出力結果とを元に、尤度演算を行うことを特徴とする。

【0009】また、本発明によるターボデコードは、ガンマメトリックを元に演算したベータメトリックを蓄積するベータメトリック用メモリを含み、前記ガンマメトリックを元にアルファメトリック更新の演算を逐次行

## 4

ていく際に、該アルファメトリックの演算時に得られたアルファメトリックとガンマメトリックとの加算結果を尤度演算にも用いることを特徴とする。

【0010】また、本発明によるターボデコードは、前記ベータメトリック用メモリに入力するためのベータメトリック演算に当って、その更新過程で用いられるACS回路を複数段の縦続構成とし、ベータメトリックの更新サイクルは、該縦続構成の段数に合わせて行い、該縦続構成で得た最終段の結果をベータメトリック用メモリに入力することを特徴とする。

【0011】更に、本発明によるターボデコードは、前記尤度演算に際し、前記ベータメトリック用メモリと前記複数段の縦続構成からなるACS回路とを用い、前記アルファメトリックの更新演算の際に得られたアルファメトリックとガンマメトリックの加算結果と該ACS回路の各段の出力結果とを元に、尤度演算を行うことを特徴とする。

【0012】更にはまた本発明によるターボデコードは、前記尤度演算結果から前記情報系列を蓄積した第一の受信信号出力およびアプリオリメモリ出力を減算し、シフト加算型の重み付け回路通した結果を外部情報として前記アプリオリメモリに蓄積することを特徴とする。

【0013】また本発明によるターボデコードは、前記繰り返し処理におけるインタリーブを要する回の処理において、インタリーブ順序をメモリアドレスとして発生させるアドレス発生手段と、前記情報系列を蓄積した第一の受信信号メモリと前記アプリオリメモリとを前記メモリアドレス発生手段からの発生アドレスよりアクセスすることを特徴とする。

【0014】また本発明によるターボデコードは、前記アルファメトリックの演算に際し、得られた各ステートに対する演算結果から最大値を検出する手段と、この検出結果をガンマメトリックから減算する手段とを更に含み、それまでの演算にパイプライン処理を施し、予め決められたタイミングに該減算結果を新たにガンマメトリックとして用いたことを特徴とする。

## 【0015】

【発明の実施の形態】以下、本発明の実施例について図面を参照しながら詳細に説明する。図11及び図9はターボコードの一般的な符号器と複合器の一例である。図11に示す符号器において、情報ビットは入力1104から供給され、コンポーネント符号器と呼ばれる再帰的畳み込み符号器に入力される。このコンポーネント符号器は通常複数個用いられるが、この例では、1101と1102との二つを用いている。ターボコードの特徴として組織符号であることがあげられる。そのために上段のコンポーネント符号器1101では、パリティビット1106と共に情報ビット1105も送出される。

【0016】下段のコンポーネント符号器1102は上段のコンポーネント符号器1101と同じ構造をしてお

り、インタリーバ1103を介して情報ビット1104が供給される様になっている。このインタリーバ1103はターボコードを構成する上で重要な役割をはたすが、本発明では直接関係しないのでこれ以上の言及はしない。

【0017】下段のコンポーネント符号器1102の場合、既に上段のコンポーネント符号器1101で情報ビットを送出しているので再度送る必要はなく、パリティビット1107のみの送出となる。この用に生成されたパリティビット1106と1107とは適当なバンクチャリングによって間引いて送出することも可能であるが、この例では、情報ビット1105に引き続き交互に1108から送出され情報レート1/3となる。

【0018】図9はこの様に構成されたターボコードを復号するためのターボデコーダ（復号器）の一般的なブロック図である。復号の流れを同図と合わせながら説明する。情報系列902及びパリティ系列1、2の903は、上述の図11に示した符号器を使って発生させたデータが伝送媒体を通ったことによって発生した誤りを含む軟判定受信データである。軟判定復号器906及び913について上述の符号器を参照しながらみることにする。

【0019】図11のコンポーネント符号器1101に対応する軟判定復号器が906である。情報系列902と事前情報LOG尤度（対数尤度比：log-likelihood ratio；希望としている受信シンボルの尤度と背反関係にある受信シンボルの尤度の比に対して対数形としたもの）901の加算器904による結果がこの軟判定復号器906に入力される。但し、初回の事前情報LOG尤度は零として優位性を持たせない。パリティ系列1も分離器905により振り分けられ入力される。

【0020】軟判定復号器906の出力は情報系列の各ビットに対するLOG尤度である。このLOG尤度から遅延器907-1、2によって同期を合わせて事前情報LOG尤度及び情報系列成分を加算器908により削除し外部情報LOG尤度を発生させる。この外部情報LOG尤度は情報系列とともにインタリーバ909、910によって撹拌され次の軟判定復号器913へと向かう。図11のコンポーネント符号器1102に対応する軟判定復号器が913である。上述の外部情報LOG尤度は事前情報LOG尤度として用いられる。

【0021】上述の軟判定復号器906と同様に、この事前情報LOG尤度と情報系列とを加算器911によって加えられて、その結果がこの軟判定復号器913に入力される。パリティ系列2も分離器905により振り分けられ入力される。軟判定復号器913の出力はインタリーブされた情報系列の各ビットに対するLOG尤度である。このLOG尤度から前回同様に遅延器912-1、2によって同期を合わせて事前情報LOG尤度及び情報系列成分を加算器915により削除し外部情報LOG

G尤度を発生させる。この外部情報LOG尤度922がデインタリーバ918によって元の順番に戻され軟判定復号器906に次の処理のために、始めに戻される。同様に、遅延器914によってパリティ系列1、2の919と情報系列920も次の処理のために同期を取って戻される。

【0022】以下、同様に処理を続けこの繰返しで次第に高い誤り訂正能力を発揮する。即ち、軟判定出力を繰返し利用することにより次第に良い結果を得ることができるのである。この様に処理されたLOG尤度は、最後に判定器916によって硬判定が行われ、デインタリーバ917によって元の順番に戻されて復号データ921を得ることができる。以上説明したアルゴリズムをいかに移動体通信に適した構成で実現するかが本発明である。

【0023】図10は本発明の概略を示すブロック図であるが、本発明の特徴を示すものはこの図からでは分からない。その内容は以降で説明するが、全体の構成を理解するために、先ずこのブロック図から説明する。上述の説明同様に、中心的な機能を果たすのは軟判定復号器1011である。図9と異なるのは、一つの軟判定復号器で構成されていることである。そのために、情報系列1002は偶数回（Even）の動作と奇数回（Odd）の動作とによって、インタリーバ1004を通す場合と通さない場合に分けられ、スイッチ1005によって切り替えられる。

【0024】同様に、パリティ系列1003も分離器1006とスイッチ1007とによってパリティ系列1とパリティ系列2とに切り替えられて、軟判定復号器1011に入力される。事前情報LOG尤度1001も、上述同様に、加算器1009によって選択された情報系列と足し合わされて、軟判定復号器1011に入力される。軟判定復号器1011の出力はLOG尤度であり、このLOG尤度から遅延器1010によって同期合わせを行なった事前情報尤度と情報系列差し引くのが加算器1013の役目である。その結果は外部情報LOG尤度であり次の事前情報LOG尤度1020として用いられる。

【0025】この時、次の処理が奇数番目が偶数番目かによって情報ビットの並び順が変わる。それに合わせるために、インタリーバ1015とデインタリーバ1017とがあり、スイッチ1019によって切り替えが行われる。切り替えを司る制御信号は1008であり、スイッチ1005の制御信号としても使われる。

【0026】この様にして軟判定情報を繰返し使うことにより、次第に高い誤り訂正能力を発揮する様になり、最後のLOG尤度判定が制御信号1013のスイッチ1012を通して判定器1014により行われる。同判定器はLOG尤度を硬判定するものであり、判定結果はデインタリーバ1016によって元の順番に戻され復

号データ1018を得ることが出来る。

【0027】以降、本発明の特徴を示す具体的な各部の動作説明を行う。図1、2を用いて本発明の第一の実施例(請求項1記載)について説明する。第一の受信信号メモリ101は情報系列を蓄積するものであり、第二の受信信号メモリ102は第一のパリティ系列と第二のパリティ系列を蓄積するものである。この例では、セクタ105によってパリティ系列の第一と第二の選択を行っているが、例えば単一メモリの上位アドレスと下位アドレスとに分けて蓄積しアドレス制御によって選択することも適宜可能である。

【0028】事前情報LOG尤度兼外部情報LOG尤度はアプリオリメモリ103に蓄積されるが、この例ではセクタ109を用いて二つのメモリを交互に使っている。即ち、片方を事前情報LOG尤度として読み出しに使用されると、他方は外部情報LOG尤度として書き込みに使用される。そして、次の回では、事前情報LOG尤度として使われていたものが、外部情報LOG尤度として上書きされ、外部情報LOG尤度として使われていたものが、事前情報LOG尤度としてその内容をそのまま読み出して使用されるのである。もちろん、デュアルポートメモリを採用することにより単一メモリで構成することも可能であり、この時読み出しと書き込みのミスマッチが生じないように行う。具体的な方法については以降に説明する。

【0029】図1における加算器104は第一の受信信号メモリ101から取り出された情報系列とアプリオリメモリ103から取り出された事前情報LOG尤度を加え合わせるためのものである。事前情報LOG尤度を加算器104に入力する際1/2の演算を行っているが、これは前回の処理における外部情報LOG尤度を書き込むに当って、情報ビットに対する尤度を片方のみとして扱ったためであり、読み出す際両方に均等に割り当てるために1/2処理を行っている。この処理は単に配線のシフト接続のみで対応することができる。この加算結果とセクタ105によって選択されたパリティ系列とは図2での入力となり、制御端子付きの2の補数回路203と204とへ夫々入力される。

【0030】この制御端子付きの2の補数回路203、204は制御端子の信号レベルに応じて入力データの2の補数をとるか、あるいはそのままの値を出力する機能を有しており、その制御端子には入力データの極性を表す最上位ビット201が入力されている。この機能によってその出力は絶対値を保持しながら必ず負の値となる。それらの和を加算器205が取る。従って、加算器205の出力は絶対値を保持しながら加算した負の値となる。今情報系列と事前情報LOG尤度の加算結果を $y(1)$ 、選択されたパリティ系列を $y(2)$ とする。これから説明する演算は軟判定復号におけるBCJR「1974年3月、・アイ・イ・イ・イ・トランザクション

・オン・インフォメーション・セオリ、284~287頁、IEEE TRANSACTION ON INFORMATION THEORY、pp284-287」のアルゴリズムで、その内の $\gamma$ メトリックに相当し正規化の機能を持たせたものである。

【0031】本発明の場合、この $\gamma$ メトリックは通常のビタビ復号におけるブランチメトリックに相当し、事前情報LOG尤度を持たせた点が通常のビタビ復号と異なる。 $\gamma$ メトリックの種類を以下に示す。

10 【0032】 $\Gamma(0, 0) = y(1) + y(2)$

$$\Gamma(0, 1) = y(1) - y(2)$$

$$\Gamma(1, 0) = -y(1) + y(2)$$

$$\Gamma(1, 1) = -y(1) - y(2)$$

$\gamma$ メトリックの正規化は $y(1)$ 、 $y(2)$ の各極性によって以下の四通りに分けることができる。

【0033】 $y(1) = +$ 、 $y(2) = +$ のとき、  
 $\Gamma(0, 0) = 0$ 、 $\Gamma(0, 1) = -y(2)$ 、 $\Gamma(1, 0) = -y(1)$ 、 $\Gamma(1, 1) = -y(1) - y(2)$

20  $y(1) = +$ 、 $y(2) = -$ のとき、

$$\Gamma(0, 0) = y(2)$$

$$\Gamma(0, 1) = 0$$

$$\Gamma(1, 0) = -y(1) + y(2)$$

$$\Gamma(1, 1) = -y(1)$$

$y(1) = -$ 、 $y(2) = +$ のとき、

$$\Gamma(0, 0) = y(1)$$

$$\Gamma(0, 1) = y(1) - y(2)$$

$$\Gamma(1, 0) = 0$$

$$\Gamma(1, 1) = -y(2)$$

$$y(1) = -$$
、 $y(2) = -$ のとき、

$$\Gamma(0, 0) = y(1) + y(2)$$

$$\Gamma(0, 1) = y(1)$$

$$\Gamma(1, 0) = y(2)$$

$$\Gamma(1, 1) = 0$$

30 正規化方法はこれに限ったことなく、例えば、0の代わりに予め決められた値で桁を全体にはかせることも適宜可能であるが、本実施例では上記に従って説明をする。

【0034】上記より、ガンマメトリック $\Gamma(0, 0)$ 、 $\Gamma(0, 1)$ 、 $\Gamma(1, 0)$ 、 $\Gamma(1, 1)$ は制御端子付きの2の補数回路203、204の出力と加算器205の出力及び0の組み合わせで全て表すことができる。上記の組み合わせで選択できるように、セクタ206から209を入力データの極性を表す最上位ビット202で選択する様に示したものが図2の右側に示した図である。

【0035】これらの構成により、パイプライン構成を行っても等価的に一クロックで一段階の処理を行え、しかも簡単な回路構成で実現出来るのでスピードネックとなることなく、低消費電力に適したガンマメトリックの生成が可能である。即ち、高速インターネットや動画像など広域マルチメディア通信を携帯端末に適した形で提供できるのである。

【0036】次に、図3~5を用いて本発明の第二の実施例(請求項2に記載)を説明する。これから説明する

演算は軟判定復号におけるBCJRアルゴリズムの中のアルファメトリック、ベータメトリック及び尤度計算に相当する。その詳細は、「1974年3月、・アイ・イ・イ・イ・トランザクション・オン・インフォメーション・セオリー、284~287頁、IEEE TRANSACTIONS ON INFORMATION THEORY、pp284-287」に開示されている。但し、LOG尤度を取る際最大値による近似を使っている。所謂MAX-LOGMAPにおける演算に相当する。

【0037】図3はアルファメトリックの計算を示したものである。アルファメトリックはガンマメトリックを元にACS (Add-Compare-Select) 回路301によって実現できる。同図は4つのステート(S00, S01, S10, S11)を有するメトリックに対して完全パレレル演算を行った場合の実施例である。図中、信号点AとA、BとB、CとC、DとDと、互いに夫々接続されており、ステートメトリックの更新はステートレジスタ(S00, S01, S10, S11)を介して行われる。

【0038】その演算結果はアルファメトリック用メモリ302に蓄積される。カウンタ303はアルファメトリック用メモリのアドレス制御用のアップダウンカウンタであり、情報ビット毎にインクリメントされる。このカウンタ303は情報ビット長に相当する長さをカウント幅として有しており、最後のビットが最終アドレスとなる。

【0039】図4はベータメトリックの計算過程を模式的に示したものである。ベータメトリックもガンマメトリックを元にACS回路によって実現できる。本実施例の場合、上述のアルファメトリック計算と時間が重ならないので、信号線の接続をセクタ(特に図の記載はない)にてつなぎ換え、アルファメトリックで使ったACS回路を流用している。流用して構成し直したACS回路を図4の401に示す。

【0040】このベータメトリックのブロックと上述のアルファメトリックのブロックの大きな違いは、アルファメトリックでは、各時刻の全ステートのメトリックをアルファメトリック用メモリに蓄積するのにに対し、ベータメトリックでは、対象となる単一時刻のメトリックのみを更新用としてステートレジスタ(S00, S01, S10, S11)に蓄積している。これは、アルファメトリックの更新方向とベータメトリックの更新方向が相反するためであり、対象となる時刻の情報ビットに対する尤度を求めようと思った場合、その時刻に相当するアルファメトリックとベータメトリックを必要し、そのために必ず二つの内一つは蓄積用にメモリを必要とするからである。

【0041】尚、ACS回路の構成及び動作については周知であるので、ここでは特に説明しない。ベータメ

トリックの更新過程で、図4の402に示す様に、ガンマメトリックとベータメトリックの加算結果を得ることができる。この結果を次の尤度計算に流用しようというのが本発明のこの第二の実施例の特徴である。

【0042】図5はその尤度計算を実施するための図である。同図において、上述のガンマメトリックとベータメトリックとの加算結果が501として入力される。それと同時に、アルファメトリック用メモリ503からベータメトリックの計算対象時刻に合わせた時刻のメトリックが読み出される。通常、アルファメトリックは情報ビット並びに対して時刻順に更新処理が進み、ベータメトリックは逆に最後のビットから更新処理が行われる。従ってベータメトリックの処理に合わせて尤度計算が実施されたとすると、アルファメトリック用メモリ503は最後の時刻を示すアドレスからカウンタ502によってデクリメントしながら尤度計算が進む。

【0043】図5においては、LOG尤度計算回路504はそれらに合わせて動作し、LOG尤度結果がこの504より出力される。これらの処理は一方向動作なので、パイプライン化が可能であり、特に図には示していないが、F/Fが適宜挿入されている。そのために等価的に1クロックで1情報ビット当りの処理が実行されたことになる。

【0044】ここで、アルファメトリック用メモリ503とそのアドレスカウンタ502は図3の302と303と同じものを示しており、説明のしやすさから再記したものである。この部分での本実施例の特徴は、尤度計算のためにわざわざベータメトリックとガンマメトリックとの演算を行わない点にある。即ち、ベータメトリック更新の際に生じた演算結果を流用して、尤度計算を行いそれを等価的に一クロックで完了させこれによって、ベータメトリックに対するメモリを削除したのである。

【0045】この構成により、パイプライン構成を適用しても等価的に1クロックで1段階の処理を行え、しかも大幅に回路の簡略化がなされ、スピードネックとなる部分が発生することなく、低消費電力な尤度計算が可能である。即ち、高速インターネットや動画像など広域マルチメディア通信を携帯端末に適した構成を提供できるのである。

【0046】次に、図6、7を用いて本発明の第三の実施例(請求項3に記載)を説明する。図6はアルファメトリックの生成に当って、その更新過程で用いられるACS回路を複数段の縦続接続した例である。この実施例では、ACS回路604と602の2段の縦続構成になっている。この時に使用されるガンマメトリックは2つの時刻に相当するもので、特に図示はしていないが、上述のガンマメトリックの生成回路を2つ用いている。

【0047】このアルファメトリックの更新サイクルは、既に説明したものに対して2回に1回の割合とな



り、ステートレジスタ(S00, S01, S10, S11)605を介して行われる。その時得られたアルファメトリック601(図7では、703)が図7のアルファメトリック用メモリ701に蓄積される。

【0048】この時カウンタ702のインクリメント周期は既に述べた方法に比べ倍の長さで良く、2回に1回の更新サイクルとなるので、アルファメトリック用メモリ701は半分のメモリ容量で済むという利点がある。また半分の更新サイクル数なのでカウンタ702を通常のサイクルで動かせば全体にかかる処理時間が短くて済むという利点がある。

【0049】別の解釈すると、その分処理時間に余裕を持たせることができ、廉価なデバイスの採用をはかることができるのである。もちろん、これは2段の縦続接続に限らず、複数段の構成も可能であり、その分アルファメトリック用メモリ701の容量が少なくて済むことになるのである。

【0050】次に、図6、7を用いて本発明の第4の実施例(請求項4に記載)を説明する。この実施例では、ベータメトリックの更新の際に上記の半分に削減したアルファメトリック用メモリを使って尤度演算を行うというものである。図7のアルファメトリックからはカウンタ702のアドレス指定に基づいてアルファメトリック704が出力される。

【0051】このアルファメトリックは時刻を半分に間引いた内容なので、間に存在するアルファメトリックを生成する必要がある。図6のACS回路を使用してその間引いた内容を再現する。即ち、605のステートメトリックに代わりにアルファメトリック用メモリ出力704を使用し、ACS回路604よりアルファメトリック603を再生する。次段のACS回路602はベータメトリックの更新用として既に記した様に構成変更で使うこともできる。

【0052】ベータメトリックの更新サイクルに合わせた尤度計算は既に記した方法と同じであるが、その時に使うアルファメトリックは再生したアルファメトリック、そしてアルファメトリック用メモリ701から読み出しアルファメトリック704の順になる。これらのメトリックをバッファリングしてパイプライン処理を施しスピードアップを図ることも可能である。

【0053】この方法により、削減したアルファメトリックを使っても、尤度計算における処理速度を損なうことなく実行できるので、メモリ容量の削減に貢献でき低消費電力化並びに回路規模の削減に有効である。例えば、2段の縦続接続からなるACS構成ではメモリ容量が半分に、3段の縦続接続からなるACS構成ではメモリ容量が1/3になり、しかもアルファメトリック演算においては処理スピードが向上し、ベータメトリック更新に合わせた尤度計算においても処理スピードを損なうことはない。

【0054】次に、本発明の第5の実施例(請求項5〜7に記載)について説明する。既に記した様に、アルファメトリックとベータメトリックはその更新方向が異なるが、どちらを先に計算しても尤度計算には支障がない。但し、先に計算を実行したメトリックに対してはメモリに蓄える必要がある。尤度計算においても、その更新方向が変わりそれに合わせてトレリスに相当するACS回路内の接続が変わるだけである。

【0055】従って、上述した第1〜第4の各実施例で説明した実施例がそのままアルファとベータを入れ替えても成り立つ。その時の尤度計算の出力順は、前者が情報系列に対して最終ビットから開始ビットに向かうのに対し、後者が開始ビットから最終ビットへ向かう様に出る力されるだけである。いずれにせよデインターリーブの処理のためにいったんメモリに蓄える必要がある。

【0056】次に、図1を用いて本発明の第6の実施例(請求項8に記載)を説明する。図1の右端が外部情報LOG尤度の抽出方法を示した図である。上述の尤度計算によりLOG尤度が出力され、図1の加算器107に入力される。加算器107には、バッファを介して第一の受信信号メモリ101が接続されており、この情報系列の軟判定データを減算する様になっている。尚、このバッファは加算器107に入るLOG尤度と同じ情報ビットの時刻にタイミングを合わせるためのものである。

【0057】加算器107の出力は加算器106に入力され、セクタ109によって選択されたアプリオリメモリ103の出力である事前情報LOG尤度が加算器106によって更に減算される。次に、加算器106の出力はシフト加算型の重み付け回路108に入力され、外部情報LOG尤度の確率分布を本来の分布に近づけるべくスケージングが行われ特性の向上が図られている。

【0058】重み付け回路108は、この実施例の場合配線の入れ替えだけのシフト処理によって1/2、1/4を作りその加算をとって0.75倍を実現している。この重み付け回路108の出力はセクタ109に入力される。セクタ109は、上述した様に、二つのメモリを交互に使う構成のアプリオリメモリになっていてそれを交互に使うために使われており、片方が事前情報LOG尤度として読み出しに使用されると、もう片方が外部情報LOG尤度として書き込みに使用される。

【0059】尚、切り替えスイッチ110は最後のLOG尤度を格納するためのものであり、繰り返し処理を行っている間は図示した方向に接続されている。この2つのメモリを交互に使う構成は、デュアルポートメモリの採用によって1つのメモリで置き換え可能であり、更に低消費電力化と回路規模の縮小ができる。

【0060】次に、同じく図1を用いて本発明の第7の実施例(請求項9に記載)を説明する。この実施例は繰り返し処理におけるインタリーブを行う段階で動作するものである。本実施例の場合、インタリーブ順序入れ替

え処理用メモリアドレス発生手段は、入れ替え順序が書き込まれたインタリーブ用RAM112で実現している。もちろん、このRAMの代わりにランダムロジックを使って実現することもできる。

【0061】このメモリアドレス発生手段112はインタリーブが必要な段間で、セクタ114、113の選択により次の2箇所へ接続される。第一の箇所は情報系列を蓄積した第一の受信信号メモリ101である。これによってインタリーブ順序で受信系列が出力される。もう一箇所は外部情報LOG尤度兼事前情報LOG尤度用として動作しているアプリオリメモリ103である。これによってアプリオリメモリはインタリーブ順序に従って事前情報LOG尤度が読み出され、処理された後に外情報LOG尤度がインタリーブ順序で格納される。この時のパリティ系列は第二のパリティ系列を使用する。従って、セクタ105によって第二の受信信号メモリ102から第二のパリティ系列が選択され読み出される。

【0062】各メモリのアドレス動作を以下に記す。アップダウンカウンタ115はアルファメトリック演算時アップカウント動作を行い、ベータメトリック演算時ダウンカウント動作を行う。第二の受信信号メモリ102とインタリーブ用RAM112がこのカウント値をアドレスとしてデータ内容を出力する。インタリーブ用RAM112は、更にこの出力された内容をアドレスとして使用する。インタリーブの無い段階では、全てのメモリのアドレスはこのアップダウンカウンタ115の出力で動作する。インタリーブを行う段階でも、上述した以外のメモリはこのアップダウンカウンタ115の出力で動作する。

【0063】尚、第二の受信信号メモリ102がこの実施例では2つのメモリで構成されているが、例えばアドレスの上位ビットの選択により1個のメモリで構成し、セクタ105を省略することも可能である。同様に、アプリオリメモリもデュアルポートメモリを採用することによって1個のメモリで構成可能で、この時2つのアドレスの内外部情報LOG尤度となった方のアドレスが処理時間に合わせて若干遅れる様制御することが必要であり、これはバッファ等をアドレスラインに挿入する等で実現できる。この処理遅れによって同一メモリセルを使っている事前情報LOG尤度のデータが外部情報LOG尤度の為に書き換えられることはない。

【0064】尚、繰り返し回数を管理しているイタレーション制御部111は、アルファメトリック演算時とベータメトリック演算時の違いによって各メトリックの更新方向を制御するためのものであり、アップダウンカウンタ115をアップカウント動作あるいはダウンカウント動作とすることで実現している。また、最後の繰り返し動作ではLOG尤度をそのまま得る必要があるが、スイッチ110を制御することによりアプリオリメモリをLOG尤度格納用として用いている。

【0065】これらの構成により、特にインタリーブした情報系列用メモリを別に持つことなく、またインタリーブ/デインタリーブ手段においても、インタリーブ順序を発生させる手段を持つのみで両方実現でき、更に事前情報LOG尤度兼外部情報LOG尤度用のアプリオリメモリについてもデュアルポートメモリ一つで対応でき、しかも必要な情報を淀みなく供給できし高速処理が可能である。

【0066】即ち、これらの構成によりパイプライン処理を行っても、等価的に1クロックで処理が完結し、しかも最低限のメモリ容量でインタリーブも含め処理できるので、回路規模を削減して、高速インタネットや動画像など広域マルチメディア通信を携帯端末に適した廉価な形で提供することができる。

【0067】次に、図8を用いて本発明の第8の実施例（請求項10に記載）を説明する。既に説明した様に、アルファメトリックあるいはベータメトリックは、その更新過程でガンマメトリックの値が蓄積される。ガンマメトリックは第一の実施例（請求項1に記載）で説明した様に、その最大値に対して正規化処理が行われている。しかし、伝送路の雑音成分の多い条件下では、必ずしもそのトレリス上の最尤パスが正規化した最大値を通るとは限らない。長い情報系列をフレーム長にもつ情報系列の場合それらが次第に蓄積されステートメトリックのオーバーフローの原因となる。

【0068】そこで、図8に示す様に各ステートのメトリックから最大値検出回路801によりステートメトリックの最大値を検出し、その得られた値をガンマメトリックから減算回路803によって削除する。その削除した値の適用はカウンタ802によって制御されており、例えば、4回に一回の割合で適用する。それ以外の場合は、減算回路内のスイッチが通常のガンマメトリック側に倒れている。これによって、最大値検出から実際に適用するまでの間の時間を稼ぐことができ、パイプライン等で構成され時間遅れが発生しても問題なくステートメトリックのオーバーフローを防ぐことができる。

【0069】これにより最大値検出のために高速なプロセスを使った高価なデバイスを用いることなく、更にガンマメトリックから最大値を減算することによって高速性の要求されるACS回路のループに影響を与えることなく、オーバーフロー防止が実現できる。

【0070】以上説明した実施例の各部分はACS回路内のループを除いて全てパイプライン化が可能であり、等価的に1クロックで処理が完結する。例えば、ガンマメトリックの正規化演算においても、全てのステートに対するガンマメトリックが1クロックで淀みなく供給される。また、尤度計算においてもパイプライン処理による遅延はあるが処理自体は1クロックで完結される。

【0071】この遅延もバッファリングで同期合わせが可能であり、図1に示す様に、外部情報LOG尤度生成

時にタイミングを合わせて行うことができる。これらは、全てパイプライン化が可能であり、等価的に1クロックで完結する。即ち、これらの構成により廉価で高速性の要求される広域マルチメディア通信用携帯端末を提供できるのである。

#### 【0072】

【発明の効果】以上説明した様に、本発明のターボデコーダを用いれば、シャノン限界に近い復号誤り率を達成する復号器を、高速インターネットや動画像など広域マルチメディア携帯端末用として提供することができる。即ち、ガンマメトリックの供給を定みなく正規化して供給でき、インタリーブ/デインタリーブを要する処理も最小限のメモリと最小限のインタリーブ手段で実現でき、高速で高性能なデコーダを廉価に提供することができる。

【0073】更に本発明によれば、ステートメトリックに要するメモリ容量（アルファメトリック+ベータメトリック）を半分（アルファメトリックまたはベータメトリック）にすることができ、また回路規模と削減と消費電力を低減するという効果がある。

【0074】更にはまた本発明によれば、尤度計算においても、例えばベータメトリックの更新の際に得られるデータを流用できるので、そのための回路が必要なく、回路規模と消費電力を削減するという効果がある。また本発明によれば、ACS回路を多段に組むことにより、上記のステートメトリック用メモリ容量を更に削減するという効果があり、しかもスピードの向上を図ることができる。

【0075】更に本発明によれば、ガンマメトリックからステートメトリックの最大値を間欠的に減算するので、処理スピードを損なうことなくステートメトリックのオーバーフローを予防することができるという効果もある。

#### 【図面の簡単な説明】

【図1】本発明のガンマメトリック生成の一部と外部情報LOG尤度兼事前情報LOG尤度等の関係を示したブロック図である。

【図2】本発明のガンマメトリックの正規化を示したブロック図である。

【図3】本発明のアルファメトリックの生成を示したブロック図である。

【図4】本発明のベータメトリックの生成と尤度計算の一部を示したブロック図である。

【図5】本発明の尤度計算を示したブロック図である。

【図6】本発明のアルファメトリックの生成を多段構造

とした場合のブロック図である。

【図7】本発明のアルファメトリックの生成を多段構造とした場合のブロック図であり、図6の続きを示す図である。

【図8】本発明のステートメトリックのオーバーフロー防止を示したブロック図である。

【図9】ターボ復号器のアルゴリズムを表した一般的なブロック図である。

【図10】本発明の概略を表したブロック図である。

10 【図11】ターボ符号器の一般的なブロック図である。

#### 【符号の説明】

101 情報系列蓄積用の第一の受信信号メモリ

102 第一及び第二のパリティ系列蓄積用の第二の受信信号メモリ

103 アプリアリメモリ

104, 106, 107, 205, 904, 908, 915, 1009 加算器

105, 109, 113, 114, 206, 207, 208, 209 セレクタ

20 108 重み付け回路

110, 1005, 1007, 1012 スイッチ

111 イタレーション制御部

112 インターリーブ用RAM

115, 303, 502, 702, 802 カウンタ

203, 204 制御端子付き2の補数回路

301, 401, 602, 604 ACS回路

302, 503 アルファメトリック用メモリ

402, 501 ガンマメトリックとベータメトリックの和

30 504 LOG尤度計算回路

605 ステートレジスタ

701 アルファメトリック用メモリ

801 最大値検出回路

803 減算回路

905, 1006 分離器

906, 1011 軟判定復号器

907, 911, 912, 914, 1010 遅延器

909, 910, 1015 インターリーブ

913 軟判定復号器

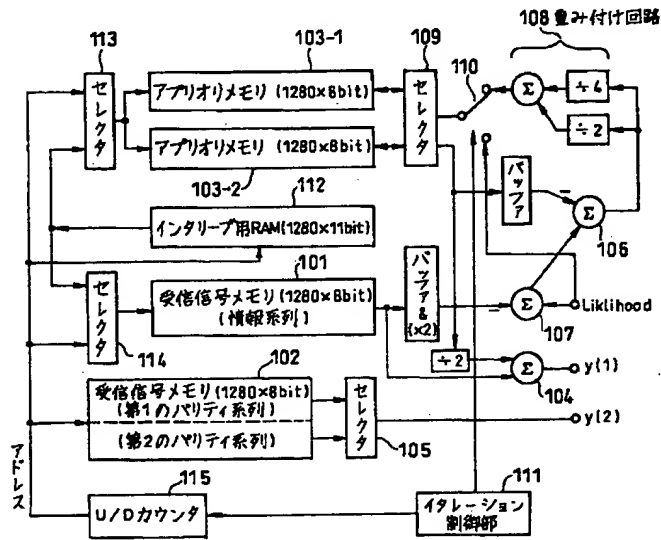
40 916 判定器

917, 918, 1103, 1016, 1017 デインタリーブ

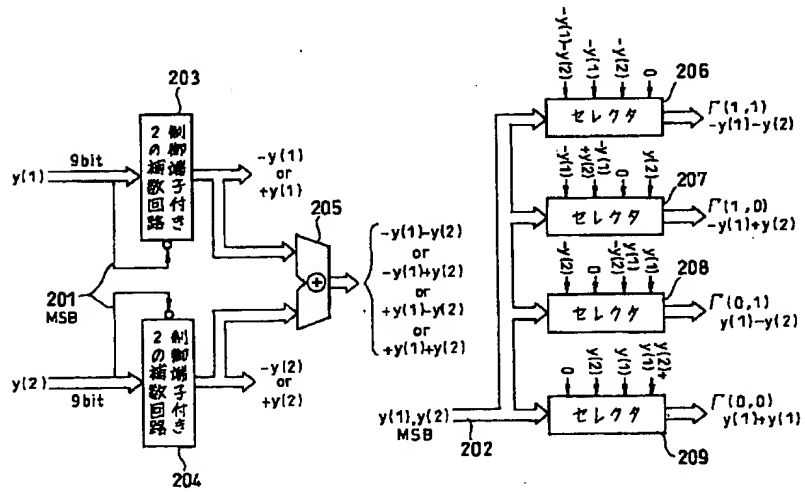
1014 判定器

1101, 1102 コンポーネント符号器

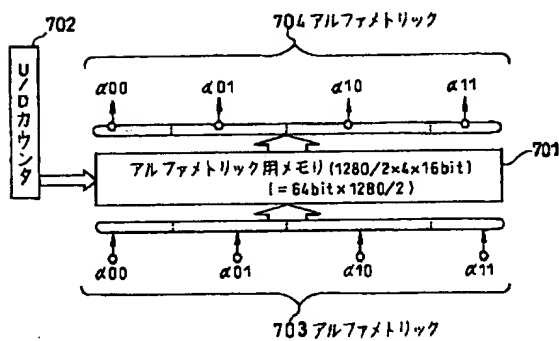
【図 1】



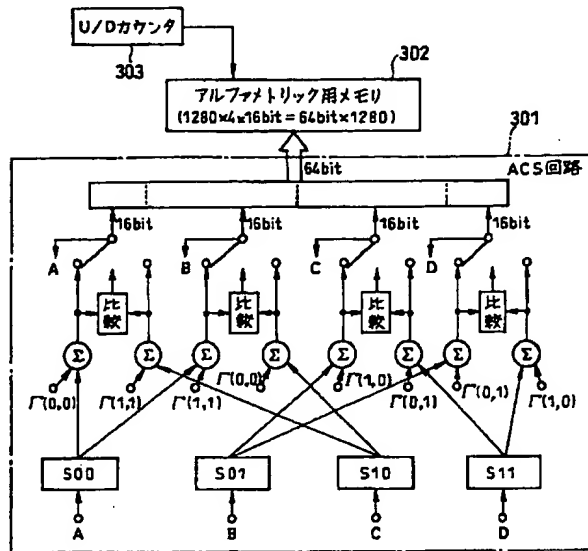
【図 2】



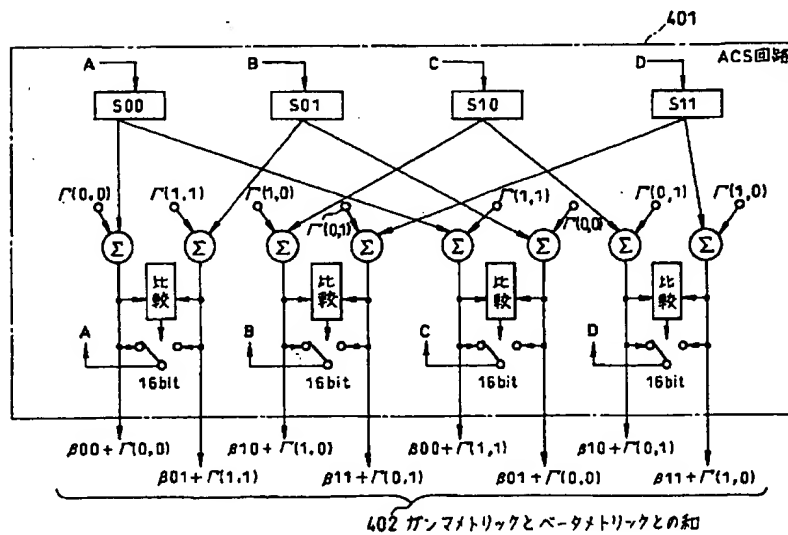
【図 7】



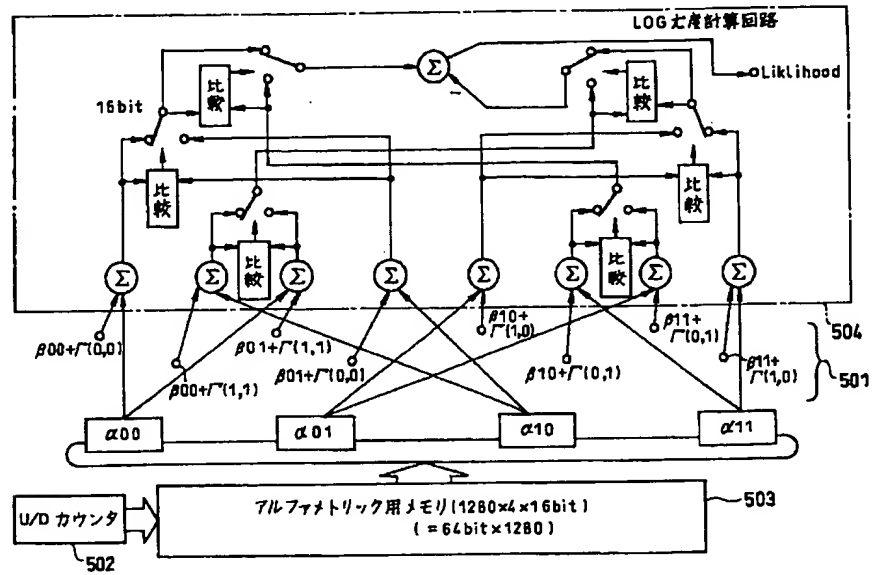
【図3】



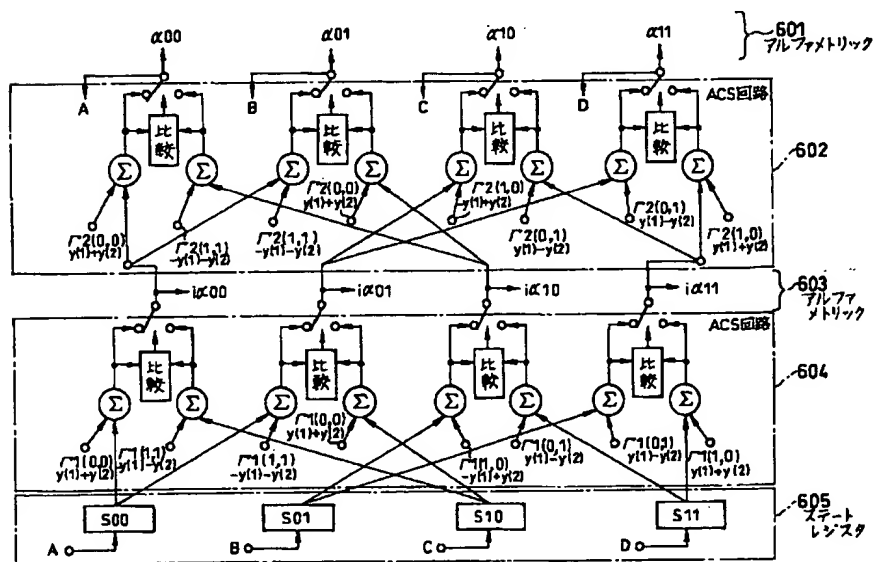
【図4】



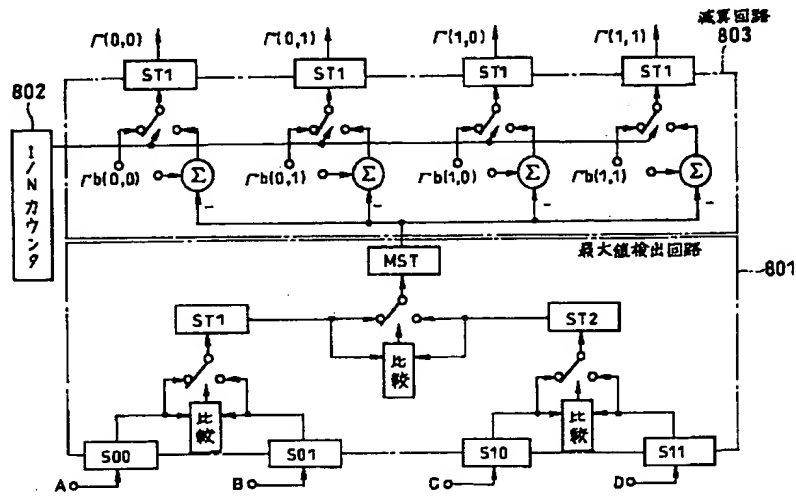
【図 5】



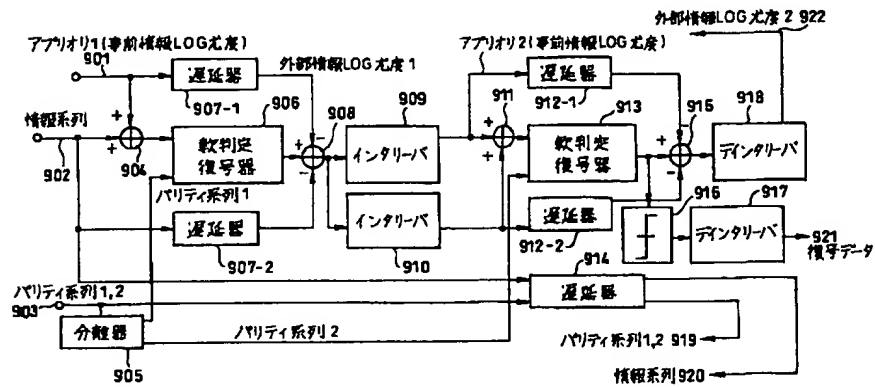
【図 6】



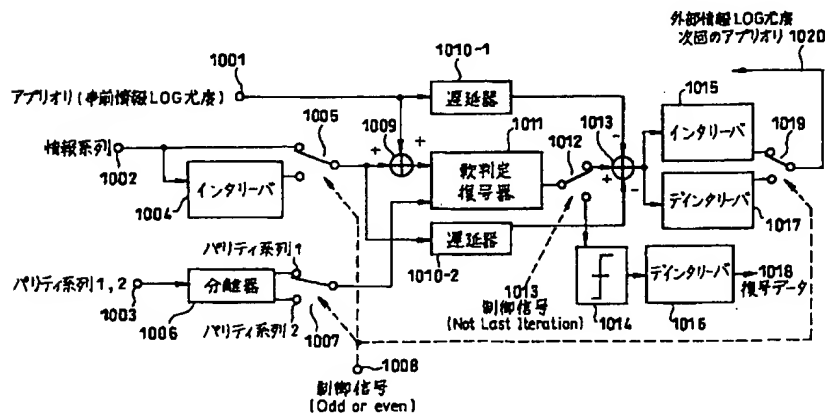
【図8】



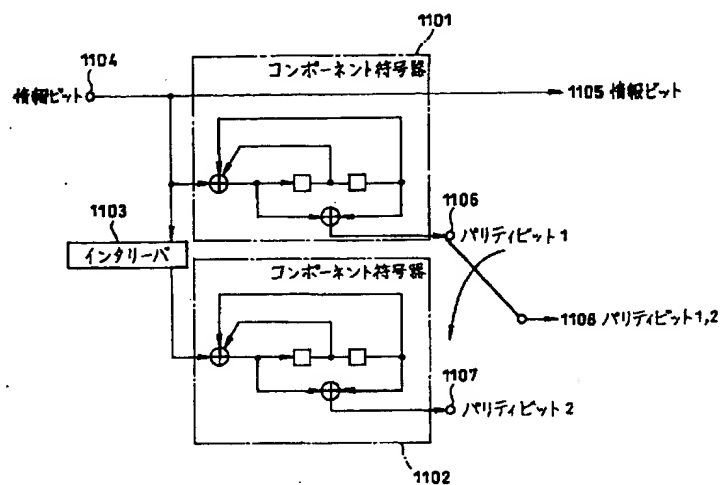
【図9】



【図10】



【図11】



フロントページの続き

Fターム(参考) 5C059 KK17 KK49 MA00 SS10 UA02  
 UA36  
 5J065 AB05 AC02 AD02 AF03 AG05  
 AH02 AH06 AH07 AH09 AH17  
 AH23  
 5K014 AA01 AA05 BA02 BA11 EA00  
 FA16 HA00